

**Dans la quête de la miniaturisation des puces électroniques qui font tourner les smartphones et autres terminaux mobiles, le Leti, laboratoire du Commissariat à l'énergie atomique et aux énergies alternatives (CEA), Soitec et STMicro ont trouvé une solution pour réduire encore davantage la place occupée par les transistors. Ils font face à l'américain Intel qui propose une autre technologie.**

Dans les années 2000, la création de transistors – plus petite unité de calcul au centre d'un microprocesseur – de quelques dizaines de nanomètres portait à croire que la loi de Moore, cette règle de base des industriels de la microélectronique selon laquelle la surface des transistors est divisée par deux tous les deux ans, avait atteint ses limites. En effet, alors que les terminaux mobiles requièrent des processeurs de plus en plus puissants, mais aussi plus petits et plus économes en énergie, les ingénieurs ont constaté qu'au stade de miniaturisation supérieure à une vingtaine de nanomètres, la performance des transistors est affectée par des déperditions de courant. Il devient à ce stade de plus en plus complexe de contrôler les propriétés électroniques des transistors.

C'est le géant Intel qui, le premier, proposa, en 2011, une solution baptisée FinFET (Fin Field-Effect Transistor) pour canaliser la circulation des électrons grâce à une nouvelle architecture en 3D des transistors, une option onéreuse car le changement du mode de gravure des processeurs implique également un renouvellement de l'outil industriel. Les chercheurs français, quant à eux, font un autre pari, en misant sur un procédé d'isolation des transistors baptisé FDSOI (Fully Depleted Silicon On Insulator), sans modifier leur architecture en deux dimensions.

L'aventure débute dans le laboratoire Leti du CEA au sein duquel est développée, au début des années 1990, une technologie permettant la production, la découpe et le collage à l'échelle atomique de couches ultraminces de silicium oxydé en surface sur un substrat de silicium, base sur laquelle sera gravé le circuit du transistor. Détentrice du brevet de cette technologie déposée sous le nom de SmartCut, l'entreprise Soitec, start-up issue du Leti, inventera ensuite le procédé du silicium sur isolant (SOI – Silicium On Insulator) qui est à l'origine du FDSOI. Développée depuis une dizaine d'années par le Leti, Soitec et STMicro, la solution FDSOI consiste, pour enrayer les fuites de courant, à introduire un isolant composé d'oxyde de silicium sous la fine couche de silicium gravée. Selon ses créateurs, le FDSOI possède surtout un atout majeur lié à la structure particulière des transistors sur film mince : la capacité de jouer sur le compromis entre vitesse et consommation.

Grâce à la technologie FDSOI, la puissance d'un transistor et donc sa dépense d'énergie sont modulables en fonction des opérations effectuées. « *Il n'est pas question de renverser le FinFET*, annonce François Andrieu, chercheur au Leti. *Nous sommes une alternative car la technologie d'Intel reste imbattable pour les applications de calcul haute performance, quand le FDSOI est la solution pour optimiser à la demande le couple vitesse/consommation.* » La technologie FinFET utilisée par Samsung, TSMC et Intel offre déjà un niveau de miniaturisation atteignant 14 et même 10 nanomètres, la prochaine génération à 7 nanomètres

est en développement, tandis que le FDSIO est à 22 nanomètres.

Parmi les applications des travaux du Leti, le circuit FRISBEE, premier produit dans l'histoire du FDSOI mais jamais commercialisé, a été testé en 2014 sur un smartphone Ericsson, apportant un gain de cinq heures d'autonomie supplémentaire. En 2016, une puce GPS de la marque Sony, de technologie FDSOI, utilisée dans une montre de sport connectée fabriquée par l'entreprise chinoise Xiaomi, offre deux à cinq fois plus d'autonomie que des objets similaires, soit trente-cinq heures en mode GPS. En 2016, ce sont des ingénieurs du Leti qui ont contribué à la mise en place d'une plate-forme FDSOI en 22 nanomètres dans l'usine du deuxième fondeur de semi-conducteurs au monde, GlobalFoundries, située à Dresde en Allemagne, d'où sont sortis les premiers transistors en 2017.

Si le fondeur propose les deux technologies concurrentes, FinFET et FDSOI, il a annoncé, d'une part, augmenter sa capacité de production des transistors FDSOI en 22 nanomètres d'ici à 2020 et, d'autre part, se lancer dans la production de 12 nanomètres d'ici à 2019. La commercialisation de produits grand public signe le déploiement de la technologie FDSOI : des montres avec GPS des fabricants Huami et Casio, ou le processeur fabriqué par le néerlandais NXP qui fera fonctionner les prochaines enceintes connectées d'Amazon. Anticipant une hausse de la demande, l'entreprise Soitec a déjà investi 40 millions d'euros, en 2017, dans son usine de Bernin, près de Grenoble, pour atteindre une production de 650 000 gallettes en FDSOI en 2019. À cette date, son autre unité de production située à Singapour devrait être également opérationnelle.

« Face au FinFET, le FDSOI est dans une position de challenger, explique Olivier Faynot, ingénieur au Leti. Mais au regard de l'évolution du marché, il est tout à fait possible que d'un positionnement de niche, cette technologie finisse par prendre d'importantes parts de marché. » Tandis que des services toujours plus nombreux et divers, de l'automobile connectée à l'internet des objets, requerront des processeurs alliant puissance et faible consommation, le FDSOI deviendra-t-il un standard ?

Sources :

- « Emblématique FDSOI », Mathieu Grousson, dossier « Les 50 ans du Leti », *Les défis du CEA*, n° 217, mai 2017.
- « FD-SOI : la technologie française qui révolutionne l'électronique mondiale », Sébastien Dumoulin, *Les Echos*, 16-17 juin 2017.
- « Soitec relance son usine de Singapour », Sébastien Dumoulin, *Les Echos*, 15-16 septembre 2017.